



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63249470 A**(43) Date of publication of application: **17.10.88**

(51) Int. Cl.

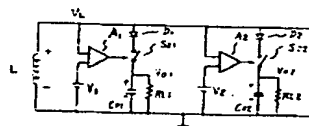
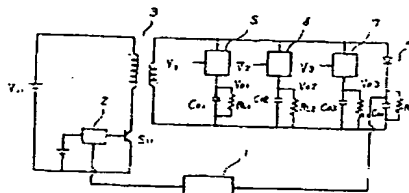
H02M 3/155
H02M 3/28
(21) Application number: **62080937**(22) Date of filing: **03.04.87**(71) Applicant: **HITACHI LTD HITACHI VIDEO
ENG CO LTD**(72) Inventor: **OHASHI SHINICHI
FUKUSHIMA ISAO**(54) **MULTICHANNEL INVERTER CIRCUIT**channels, and supply them to the loads $RL_1 \sim RL_3$.

(57) Abstract:

COPYRIGHT: (C)1988,JPO&Japio

PURPOSE: To improve the power efficiency of a multichannel inverter circuit and to miniaturize it by automatically charging an output smoothing condenser in a necessary amount according to an input voltage, monitoring the completion of charging of all output channels and regulating it.

CONSTITUTION: A DC/DC converter switches a primary power source V_{11} by a switch S_{11} through the primary winding of a transformer 3, and supplies power through switching circuits 5~7 connected in parallel from the secondary winding to loads $RL_1 \sim RL_3$ of channels. Smoothing condensers $C_{01} \sim C_{03}$ for smoothing the output voltages $V_{01} \sim V_{03}$ are connected in parallel with the loads $RL_1 \sim RL_3$. The switch S_{11} is transmitted with the output voltage through a diode 4 from the secondary winding to a controller 2 from a coupling circuit 1 to control the voltage to always hold it constant. The switching circuits 5~7 respectively charge the capacitors $C_{01} \sim C_{03}$ to become input voltages necessary in the



- (19) 【発行国】 日本国特許庁 (JP) .
(12) 【公報種別】 特許公報 (B2) .
(11) 【公告番号】 特公平 7-40785 .
(24) (44) 【公告日】 平成 7 年 (1995) 5 月 1 日 .
(54) 【発明の名称】 多チャンネルインバータ回路 .
(51) 【国際特許分類第 6 版】 .

H02M 3/28 V 8726-5H .
G05F 1/00 G 4237-5H .
H02M 3/155 V 8726-5H .

【発明の数】 4 .
【全頁数】 14 .

- (21) 【出願番号】 特願昭 62-80937 .
(22) 【出願日】 昭和 62 年 (1987) 4 月 3 日 .
(65) 【公開番号】 特開昭 63-249470 .
(43) 【公開日】 昭和 63 年 (1988) 10 月 17 日 .
(71) 【出願人】 .
【識別番号】 999999999 .
【氏名又は名称】 株式会社日立製作所 .
【住所又は居所】 東京都千代田区神田駿河台 4 丁目 6 番地 .
(71) 【出願人】 .

【識別番号】 999999999 .
【氏名又は名称】 株式会社日立画像情報システム .
【住所又は居所】 神奈川県横浜市戸塚区吉田町 292 番地 .

- (72) 【発明者】 .
【氏名】 大橋 伸一 .
【住所又は居所】 神奈川県横浜市戸塚区吉田町 292 番地 日立ビデオエンジニアリング株式会社内 .

(72) 【発明者】 .
【氏名】 福島 勇夫 .
【住所又は居所】 茨城県勝田市大字福田 1410 番地 株式会社日立製作所東海工場内 .

- (74) 【代理人】 .
【弁理士】 .
【氏名又は名称】 武 顕次郎 (外 1 名) .
【審査官】 千葉 輝久 .

- (56) 【参考文献】 .
【文献】 特開昭 57-122669 (JP, A) .
【文献】 実開昭 58-49588 (JP, U) .
【特許請求の範囲】 .

【請求項 1】 一次スイッチング回路によって一次電源をオン、オフスイッチングすることにより、このオン期間に該一次電源からインピーダンス素子にエネルギーを供給し、このオフ期間に該インピーダンス素子の出力を互いに並列接続された複数の整流回路に供給し、夫々の整流回路に平滑コンデンサと負荷とからなる負荷回路を接続して、夫々の負荷に該インピーダンス素子の出力を整流平滑して供給するようにした多チャンネルインバータ回路において、

該整流回路と該負荷回路の間毎に、二次スイッチング回路を設け、

該二次スイッチング回路は夫々、これに接続された該負荷に印加すべき電圧レベルに等しい基準レベルが設定されて、これに接続される該整流回路の入力または出力レベルが該基準レベル以下の期間オンし、かつ、該各二次スイッチング回路が全てオフしたときの該インピーダンス素子の出力レベルをピーク値と

して検出するピーク値検出回路を設け、

該一次スイッチング回路は、該ピーク値検出回路によって制御され、該ピーク値検出回路が検出する該ピーク値が該各二次スイッチング回路に設定された該基準レベルのいずれをも超える一定のレベルとなるように、該一次電源をオンする期間を設定し、

該一次スイッチング回路によって該一次電源をオフする期間毎に、該インピーダンス素子の出力の供給を該二次スイッチング回路に設定されている該基準レベルが小さい負荷順に停止することを特徴とする多チャンネルインバータ回路。

【請求項2】一次スイッチング回路によって一定の周期で一次電源をオン、オフスイッチングして該一次電源からインピーダンス素子にエネルギーを供給し、該インピーダンス素子の出力を互いに並列接続された複数の整流回路に供給し、夫々の整流回路に平滑コンデンサと負荷とからなる負荷回路を接続して、夫々の負荷に該インピーダンス素子の出力を整流平滑して供給するようにした多チャンネルインバータ回路において、

該整流回路と該負荷回路の間毎に、二次スイッチング回路を設け、

該二次スイッチング回路は夫々、これに接続された該負荷に印加すべき電圧レベルに等しい基準レベルが設定されて、これに接続される該整流回路の入力または出力レベルが該基準レベル以下の期間オンし、かつ、該各二次スイッチング回路が全てオフしたときの該インピーダンス素子の出力レベルをピーク値として検出するピーク値検出回路と、

該ピーク値検出回路によって制御され、該ピーク値検出回路が該ピーク値を検出したとき、該インピーダンス素子の出力レベルを該各二次スイッチング回路に設定された該基準レベルのいずれよりも低いレベルにする手段と

を設け、

該二次スイッチング回路に設定されている該基準レベルが小さい負荷順に該インピーダンス素子の出力の供給を停止する動作を繰り返すようにしたことを特徴とする多チャンネルインバータ回路。

【請求項3】一次スイッチング回路によって一次電源をオン、オフスイッチングすることにより、このオン期間に該一次電源からインピーダンス素子にエネルギーを供給し、このオフ期間に該インピーダンス素子の出力を互いに並列接続された複数の整流回路に供給し、夫々の整流回路に平滑コンデンサと負荷とからなる負荷回路を接続して、夫々の負荷に該インピーダンス素子の出力を整流平滑して供給するようにした多チャンネルインバータ回路において、

該整流回路と該負荷回路の間毎に、該整流回路を電源端子に、該負荷回路を出力端子に夫々接続した増幅回路を設け、

該増幅回路は夫々、これに接続された該負荷に印加すべき電圧レベルに等しい基準レベルが設定されて、これに接続される該整流回路の入力または出力レベルが該基準レベル以下の期間オンし、

かつ、該各増幅回路が全てオフしたときの該インピーダンス素子の出力レベルをピーク値として検出するピーク値検出回路を設け、

該一次スイッチング回路は、該ピーク値検出回路によって制御され、該ピーク値検出回路が検出する該ピーク値が該各増幅回路に設定された該基準レベルのいずれをも超える一定のレベルとなるように、該一次電源をオンする期間を設定し、

該一次スイッチング回路によって該一次電源をオフする期間毎に、該インピーダンス素子の出力の供給を該増幅回路に設定されている該基準レベルが小さい負荷順に停止することを特徴とする多チャンネルインバータ回路。

【請求項4】一次スイッチング回路によって一定の周期で一次電源をオン、オフスイッチングして該一次電源からインピーダンス素子にエネルギーを供給し、該インピーダンス素子の出力を互いに並列接続された複数の整流回路を供給し、夫々の整流回路に平滑コンデンサと負荷とからなる負荷回路を接続して、夫々の負荷に該インピーダンス素子の出力を整流平滑して供給するようにした多チャンネルインバータ回路において、

該整流回路と該負荷回路の間毎に、該整流回路を電源端子に、該負荷回路を出力端子に夫々接続した増幅回路を設け、

該増幅回路は夫々、これに接続された該負荷に印加すべき電圧レベルに等しい基準レベルが設定されて、これに接続される該整流回路の入力または出力レベルが該基準レベル以下の期間オンし、かつ、該各増幅回路が全てオフしたときの該インピーダンス素子の出力レベルをピーク値として検出するピーク値検出回路と、

該ピーク値検出回路によって制御され、該ピーク値検出回路が該ピーク値を検出したとき、該インピーダンス素子の出力レベルを該各増幅回路に設定された該基準レベルのいずれよりも低いレベルにする手段と

を設け、

該増幅回路に設定されている該基準レベルが小さい負荷順に該インピーダンス素子の出力の供給を停止する動作を繰り返すようにしたことを特徴とする多チャンネルインバータ回路。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は、回路システムの他、モータその他のアクチュエータ駆動用電力増幅器を含む装置に係り、とくにこれらの装置の電力効率を改善し、全体として小型、軽量化、経済性を高めるに好適な手段に関する。

〔従来の技術〕

従来のDC・DCコンバータ装置においては、特開昭54-140153号公報及び長谷川著「スイッチング・レギュレータ設計ノウハウ」(CQ出版発行)5・4節多電源回路の具体例第154頁の図5-16～第157頁の図5-20に記載のごとく、複数の直流出力の安定化に注力されて来た。大きく見ると、従来からの設計、開発においては、電源装置と、その電源から給電されて働く増幅器その他の装置とは切り離して、夫々別個に作られ、また、夫々の分野で改良が重ねられて来た。したがって、本発明のように、両者を一体化し、新たな装置と見做して改善を計る着想は見当らない。

〔発明が解決しようとする問題点〕

上記従来のDC・DCコンバータ装置は、もっぱら、一方極性の直流または脈流出力を得るために用いられ、その多チャンネル出力化といっても複数の電源用直流出力を得る程度で、出力の何れかを他の出力とは独立に変調する場合は、出力側に更に別の変調用DC・DCコンバータまたはインバータ或いは電力増幅器等を接続していた。したがって多数の出力チャンネルを互に独立に変調する場合、全体が大型化すると同時に、価格が著しく増加するという難点があった。

本発明の目的は、単一のDC・DCコンバータ装置の出力を時分割して多数の出力チャンネルの夫々に給電して多チャンネル化し、同時に時分割時間巾の夫々を各出力に応じて適切に変調し、互に独立な多チャンネル出力を得ることにある。かかる思想に基づく出願が同一出願人により、既になされているが、本発明はとくに上記時間巾の変調法に係り、より経済的かつ実用的な手段を提供する。

〔問題点を解決するための手段〕

上記目的は、DC・DCコンバータ(スイッチングレギュレータ電源回路)の出力を、スイッチング回路を介し、複数の負荷に振り分け、かつ、該スイッチング回路のスイッチング時間巾を制御することにより達成できる。まず、本発明がすべてのDC・DCインバータ回路に適用できることを説明する。第3図の左欄に従来の回路方式を分類して示した。これらは原理的に第4図と第5図の(i)に示す2種類の回路構成に集約できる。第4図は第3図の(b)、(c)、(d)の原理図であり、第5図は第3図の(a)、(d)、(f)、(g)、(h)の原理図である。両図共、一次電源V11からインダクタンスLとスイッチS1を介して平滑コンデンサC0と負荷RLとからなる負荷回路に出力電流i0が流れる。第3図の(e)ではこのLが見当らないが、この場合はトランスの2次巻線インダクタンスが、このLと同等の働きをする。第4図と第5図の動作は同様なので第4図につき説明する。インダクタンスLはスイッチS1の接点が1に接する期間中に入力V11からエネルギーを受け取り、2に接する期間中に出力V0に向かって、このエネルギーを吐き出す働きをしている。したがって、スイッチS1のONとOFF時間巾を変えればインダクタンスLに伝えるエネルギー量が変化するので、出力V0も変化するのである。即ち、インダクタンスLが無ければ出力の制御が出来ないのである。

かかるDC・DCインバータ回路の動作原理からみて、第4図を第1図のように、また、第5図を第2図のよ

うに変更し、出力電流 i_0 をスイッチS2により複数の負荷に分配し、スイッチS2が各接点に接するON時間中やデューティファクタ等に制御すれば多チャンネルの出力を得ることができる。第3図の右欄には、各回路方式に対し、スイッチS2を設け多チャンネル化した場合を併せて示した。各チャンネルの出力電圧を制御するためには、このスイッチS2を適正に制御する手段が必要である。同時に全負荷に過不足なく給電するためのスイッチS1の制御も必要である。

第6図には本発明の基本的構成の一例として、フライバック型への適用例を示した。スイッチS2の各接点にはスイッチング回路5~7が対応する。RL1~RL3は各チャンネルの負荷インピーダンスである。C01~C02は出力電圧V01~V04を平滑する平滑コンデンサである。スイッチング回路5~7のON時間中は、夫々入力信号V1~V3によって制御せられる。例えばスイッチング回路5は、出力電圧V01がV1より低い場合に導通し、コンデンサC01が充電されて出力電圧V01が上昇し、V1を越えると遮断する。また、以後、スイッチング回路6,7およびダイオード4が順次導通し終る迄、スイッチング回路5は遮断状態を持続する。このようにして、スイッチング回路5から7およびダイオード4迄はサイクリックに順次導通して行く動作をくり返す。

コンデンサC01からC03までが充電されると残余のエネルギーがダイオード4を介して流れ、コンデンサC04を充電する。したがって、コンデンサC04端電圧V04は、各チャンネルを充電するに必要な一巡エネルギーの過不足を示す指標になる。したがって、出力電圧V04を結合回路1を介して1次スイッチング素子S11の制御回路2に伝え、出力電圧V04を常に一定に保つ制御ループを形成すれば、コンデンサC01~C03は常に不足なく充電されることになる。

次に2次スイッチング回路5~7につき説明する。

第7図は、その原理的回路構成図である。第6図と比べ1次側回路やスイッチング回路7,以降の回路は便宜上、省略した。Lは2次コイルインダクタンスである。1次スイッチS11がOFFになるとL端には正極性の電圧 v_L が発生する。この電圧 v_L が入力電圧V1より小さいと、コンパレータA1はスイッチS21を閉じる信号を発生する。逆の場合はスイッチS21は開放になる。スイッチS11が閉じれば、ダイオードD1を介し2次コイルインダクタンスLより電流が流れ、コンデンサC01を充電するから出力電圧V01が上昇し始める。ダイオードD1の順方向電圧を無視すればスイッチS1が閉じているのであるから電圧 v_L も出力電圧V01に等しい。出力電圧V02がV01より大きければスイッチS22の動作如何によらずダイオードD2は遮断されている。出力電圧V01の上昇によりコンパレータA1の出力はやがて反転してスイッチS11を遮断する。このとき、電圧 v_L はその電流が遮断されるのであるから、跳ね上ってダイオードD2を導通させる。したがって、電圧 v_L は出力電圧V02にクランプされ、コンデンサC02の充電により、やがてスイッチS22もOFFされる。以上の動作により、各チャンネルは入力電圧の低い方から順次導通され、最後に最も入力電圧の高いチャンネルが充電される。スイッチS12とS22のON時間中は、例えば出力電圧V01がV21に達する迄の時間として自動的に定まる。

以上述べた本発明の要点を記すと、

1. 出力平滑コンデンサを入力電圧に応じて必要量だけ自動的に充電する出力チャンネルスイッチ回路。
2. 全出力チャンネルの充電完了を監視し、全供給エネルギーを適切に供給する制御方式。
3. すべてのDC・DCインバータ回路に適用できる。

ということになる。

〔作用〕

先に述べた第1図、第2図、第6図、第7図本発明原理回路は、多チャンネル出力回路の夫々が順次、必要量だけ自動的に給電され、かつ、全チャンネルへの給電量が不足せぬよう制御されるので、各チャンネル出力を互に独立に制御することができる。

この結果、実施例を述べるように、チャンネル出力回路をプッシュプルに構成して交流出力を得ることも容易になる。

即ち、従来のDC・DCコンバータ（スイッチング電源回路）回路に本発明を適用することにより、その機能を安定化直流電源の他に直流、および交流増幅機能を含む多チャンネル装置に拡張できる。

〔実施例〕

以下、第8図、第9図により本発明に用いる出力スイッチング回路の具体的回路につき説明する。

第7図は出力スイッチング回路の具体的実施例である。便宜上、ダイオードD1およびトランジスタQ2, Q3のベースエミッタ間順方向電圧(略0.7v)を無視する。電圧 v_L が入力電圧 V_1 より低い間はトランジスタQ3は遮断されているのでトランジスタQ2のベース電流は抵抗 R_1 を流れる。抵抗 R_1 の抵抗値を適度に低く設定すればトランジスタQ2は飽和し、そのコレクタ・エミッタ間電圧 V_{CE} は略零となる。即ちトランジスタQ2はスイッチング素子としてONの動作をとる。したがって、 V_{O1} と v_L は等しい。 v_L が増加し、 V_1 を越えるとトランジスタQ3が導通し、その結果、トランジスタQ2が遮断される。コンデンサ C_1 は、實際上 v_L に重畳するパルス性雑音によりトランジスタQ2が誤動作することを防止するコンデンサ素子である。

第9図は第8図の静特性測定結果を示す図である。入力電圧 V_1 が、5vと10vの場合につき測定した。 $V_1=5v$ の場合、 v_L が低いうちは V_{O1} は v_L に直線的に比例して増加し、トランジスタQ2がON状態にあることを示している。 v_L が略5.5vになると、 V_{O1} は零に向かって急落する。即ち、トランジスタQ2が遮断されたことを示している。 V_1 が10vの場合も同様である。

第10図は第8図のバイポーラトランジスタQ2の代りにエンハンスメント型のPチャネルMOSトランジスタを用いた場合である。 V_{GG} はトランジスタQ4のゲートバイアス用の電源で、トランジスタQ3がOFF状態のとき、トランジスタQ4をON状態に保つ働きをする。トランジスタQ3の動作は第8図の場合と同様である。

第11図は、第10図のバイポーラトランジスタQ3を同種のPチャネルエンハンスメント型MOSトランジスタQ5に置換した場合である。トランジスタQ6も同種のMOSトランジスタで、抵抗 R_3 と V_{GG} によって、そのドレイン・ソース電極間に閾値電圧を発生させる。この結果、トランジスタQ5のソース電圧(ダイオードD1のカソード電圧)が丁度 V_1 に達すると、トランジスタQ5が導通し、トランジスタQ4のソース・ゲート間を短絡してトランジスタQ4を遮断し、第8図の場合と同様の働きをする。この回路はMOS・IC回路として好適である。

第12図は本発明を自動式のフライバック型DC・DCコンバータに適用した本発明の一実施例である。

1次電源 V_{11} はトランス3の1次巻線3-1を介しトランジスタ8によりスイッチングされる。2はトランジスタ8のベース電流制御回路で巻線3-2とトランジスタ8のベース間に電流制御用のトランジスタQ5を介在させてベース電流を制御する。また、トランジスタQ5はトランジスタQ6により制御される。出力は3チャンネル設けられている。 V_{O1} は正の直流出力、 V_{O2} は負の直流出力、 v_{O3} は交流出力である。正と負の出力電圧を得るため、互に逆極性の2ケの2次巻線3-3と3-4が設けられる。各出力スイッチング回路は第1図の構成同一である。交流出力回路では2ケのスイッチング回路がプッシュプル動作を行う。 v_{O3} の正の半波は、ダイオードD3を介するスイッチング回路により、また負の半波はダイオードD4を介するスイッチング回路により得られる。即ち、2ケのスイッチング回路がB級のプッシュプル動作を行う。第6図のダイオード4を介する整流回路、結合回路1が行う機能は、第12図では、巻線3-5他で代行されている。即ち、第6図の電圧 V_{O4} は電圧変換された形で、3-5端電圧を整流して得られる。これが V_{O4}' である。この V_{O4}' は、ツェナーダイオード9を経てトランジスタQ5のベースに印加される。この結果、 V_{O4}' は常に略、ツェナー電圧に固定されるように制御される。換言すれば、第6図の V_{O4} が、 $V_1 \sim V_3$ 等の如何に拘らず常に一定に維持されることと同等の働きをする。

第13図は第12図の動作波形図である。3ケの負荷インピーダンス $R_{L1} \sim R_{L3}$ は何れも10 Ω である。同図(a)の上側の波形は、2次巻線電圧 v_4 、同下側の波形は各チャンネル電流 $i_1 \sim i_3$ を重ね撮りしたものである。同図(a)では、 $V_{O1}=1$ 、 $V_{O2}=-3v$ 、 $v_{O3}=7v$ のときの波形である。

v_4 波形が負のとき、2次側の各ダイオードD1~D4は遮断され、この間、1次スイッチ素子8がONとなっている。8がOFFになると、 v_4 は正方向に反転し、最初に、入力電圧が最も低いチャンネルが導通し、次いで入力電圧の大きさの順に流れる。この場合は i_1 、 i_2 、 i_3 の順に流れる。

同図(b)は v_3 に正弦波と矩形波を入力したときの v_{O3} 波形である。このとき V_{O1} と V_{O2} は(a)図と同じ+1v、-3vに保たれている。これより、3つのチャンネルの出力から直流と交流のが任意に得られたことがわかる。

チャンネル数を必要に応じて増減したり、各スイッチングトランジスタにFET、その他の素子を用いても同等の動作が得られることはいうまでもない。また、2次巻線の数を増やし、複数の出力チャンネルを必要に応じてそれらの何れかに接続してもよい。

第14図は入出力特性測定結果図である。v3の正負の変化に対し、v03は略直線的に変化し、利得は略1である。原点附近の曲りは、従来のB級プッシュプル回路のクロスオーバー歪と類似のもので、B級プッシュプルの場合と同様な手段で改善できる。またv0の変化によって、他のチャンネル出力V01, V02等が影響を受けないことがわかる。

第15図は、v03の周波数特性測定結果図である。高域遮断周波数は平滑コンデンサC03と負荷抵抗RL3により定まっている。この場合、C03を減らすと通過帯域巾は広がる。第15図は出力チャンネルを交流の電力増幅器として利用できることを示している。

また、この実験回路の電力効率は略70%であった。この値は、通常のスイッチングレギュレータ電源のそれに匹敵し、本発明が従来のDC・DCコンバータ装置の電力効率を損わずに、DC/ACの多チャンネル化を達成していることを示している。

以上、第12図乃至第15図はフライバック型のDC・DCコンバータを用いた本発明の実施例につき説明したのである。

既に述べたように第3図の(b)と(c)の回路構成は上記したフライバック型と同一の原理動作を行うので第12図乃至第15図に示した本発明実施例をそっくり適用できる。

第5図に属する第3図の(a)、(d)、(f)、(g)および(h)の場合は、第4図の場合とは異なって出力電流が同図(ii)に示すように連続して流れる。

このような回路の一例として、第3図の(g)を取り上げ、以下に本発明の第2の実施例として、第16図により説明する。

第16図において、インダクタンスL1およびL2は第2図(b)のLに相当する。各入力電流の大きさが例えばV1, V2, v3の順に大きければ、チャンネル電流はi1, i2, i3の順に切替わって流れる。第12図の場合と同様、この切替えが一順した後、また最初に戻してくり返す必要がある。このとき第12図の場合と異なってL1, L2電流は常時連続して流れるため、この一順のくり返しは自動的に行われない。方法としては、全チャンネルを一順後に瞬時ONさせるか、またはL1およびL2端を一順後に瞬時短絡して、L1, L2端電圧v6およびv7を下げればよい。第16図では、後者の方法が実施されている。例えばV04はV1, v3よりも高い電圧に設定されているので、i1, i3が流れた後にD5が導通する。このダイオード電流はC04を通し、トランジスタQ4を駆動する。Q4は常時、遮断されている。この結果、v6が下がりこの途中でD1が導通しくり返しの初期状態に戻るのである。トランジスタQ5の動作についても同様である。Q4, Q5はv6, v7等を必要なだけ低下させるに足るだけ導通すればよく、必ずしも完全に飽和する必要はない。

以上の2つの実施例には本発明の思想を洩れなく含まれているが、以上の実施例を若干簡易化した実施例として以下、第17～18図に示すような回路構成が挙げられる。第19図は第17図に対する従来例である。第19図ではvLを整流して得た直流電圧V0を増幅器A3, A4等の電源として用いる。通常、V0の大きさは各出力V01, V02等の最大値よりも大きく設定される。その結果、V01, V02等がV0に比べて著しく低い場合は、負荷RL1, RL2等に出力される電力に比べ、A1, A2等での消費電力は著しく大きくなり、電力効率は極めて低くなる。

第17図は斯様な電力効率の低さを改善する。すなわち例えば、A1が通電するとインダクタンスLより電圧降下が発生してvLが低下する。このvLが隣接チャンネルのV02より低ければダイオードD2は遮断されている。コンデンサC01の充電が進んでi1が減少するとvLが上昇しi2を流し始める。

この間、i1も若干流れ続ける点が第15図迄の本発明説明と異なるが、vLは同様に各出力電圧V01, V02等に追従して変化するので第19図に比べれば電力効率が相当に改善されるのである。

第18図は第17図のA1, A2としてエミッタフォロワーを用いた場合である。トランジスタQ6が飽和している間はvLはV01と略等しくなり、コンデンサC01の充電が進んでi21が減少すると、vLが上昇し、トランジスタQ7を導通させる。

なお、多チャンネル化に関する第1図のダイオード8, 第6図のダイオードD3, 第11図のダイオードD5等に関する回路は、同様に適用できる。

〔発明の効果〕

本発明によれば、従来のDC・DCコンバータ（スイッチングレギュレータ電源回路）を直流および交流の多チャンネル出力化することができる。

すなわち、PWM（パルス巾変調）方式の直流および、交流電力増幅器を多チャネル有する高能率で小型、軽量、および経済性の高い装置を提供する。

本発明は一般に直流電源とモータや各種のアクチュエータを駆動する電力増幅装置に効果的に適用できる。例えば、VTR、VDD等の装置、各種ロボット、自動車用エレクトロニクス装置等、回路システムの他に多くのサーボ増幅回路やアクチュエータ駆動回路が必要な分野では電力効率が良いため放熱の問題が少なく、小型、軽量という利点の実装上の多くの問題を改善し、設計の自由度を広める。経済性については言う迄もない。

また、装置の標準化が容易という利点も挙げられる。即ち、出力チャネルスイッチ回路は他からの制御信号に依らず、自身で自動的に開閉動作を行うから、出力チャネル数の増減が自由に行える。したがって、標準化された本体と、ユニット化された出力チャネルスイッチ回路の組み合わせで多くの用途をカバーすることが出来、標準化による経済効果が期待できるのである。

また、簡単な効果の例として、市販されているような直流安定化電源装置の出力電圧を正負の極性に連続可変にし、さらに多電源化してその商品価値を高めることも容易に行える。

【図面の簡単な説明】

第1図は本発明の一実施例の基本的回路構成図、第2図は本発明の他実施例の基本的回路構成図、第3図は従来方式の分類とそれらに対する本発明適用例の比較図、第4図と第5図は第3図の原理回路図、第6図は本発明の一適用例を示す図、第7図は第6図のスイッチング回路の原理的回路構成図、第8図は本発明のスイッチング回路の具体的実施例を示す図、第9図は第8図の静特性測定結果を示す図、第10図は本発明の具体的な他の実施例を示す図、第11図は本発明の具体的なさらに他の実施例を示す図、第12図は本発明を自動式のフライバック型DC・DCコンバータに適用した一実施例の回路図、第13図は第12図の動作波形図、第14図は第12図の入出力静特性測定結果図、第15図は周波数特性測定結果図、第16図は本発明の別の実施例の回路図、第17図と第18図は各々本発明のさらに他の簡易化した実施例の回路図、第19図は第17図に対する従来の回路図である。

V₁₁……一次電源、

S₁……一次スイッチング素子、

3……変成器、

6……2次スイッチング回路、

V₁～V₃……入力信号電圧、

C₀₁～C₀₅等……平滑コンデンサ、

R_{L1}～R_{L3}等……負荷、

V₀₁～V₀₃等……出力電圧、

A₁～A₂等……コンパレータ、

D₁～D_n等……ダイオード、

Q₁, Q₂, …等……トランジスタ、

i₂～i₃等……2次スイッチ電流、

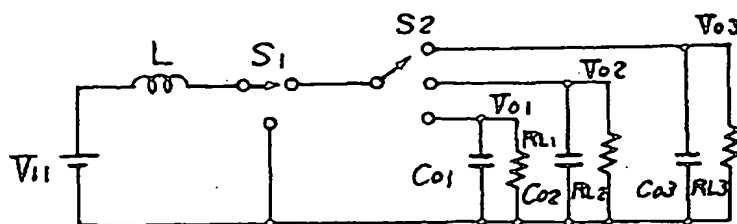
v_L, v₄～v₇等……2次スイッチに印加される電圧、

S₂……DC・DCインバータ動作に必要なスイッチ、

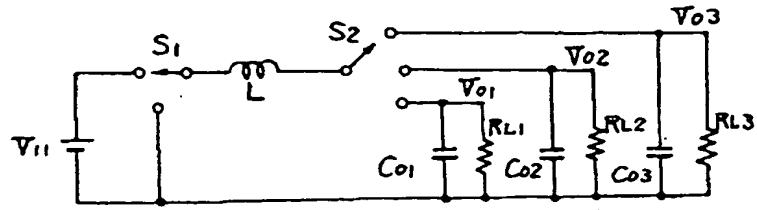
L₁……DC・DCインバータ動作に必要なインダクタンス、

A₁, A₂等……増幅器。

【第1図】



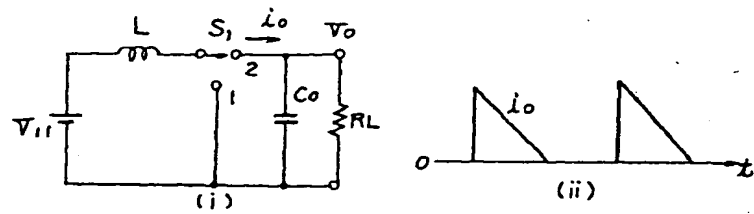
【第2图】



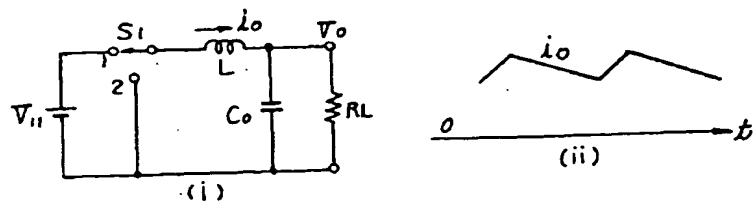
【第3图】

图例名称	图例符号	图例说明	
		图例名称	图例符号
(a) 电压型		电压型	
(b) 电压型		电压型	
(c) 电压型		电压型	
(d) 741A型		741A型	
(e) 741A型		741A型	
(f) 741A型		741A型	
(g) 741A型		741A型	
(h) 741A型		741A型	

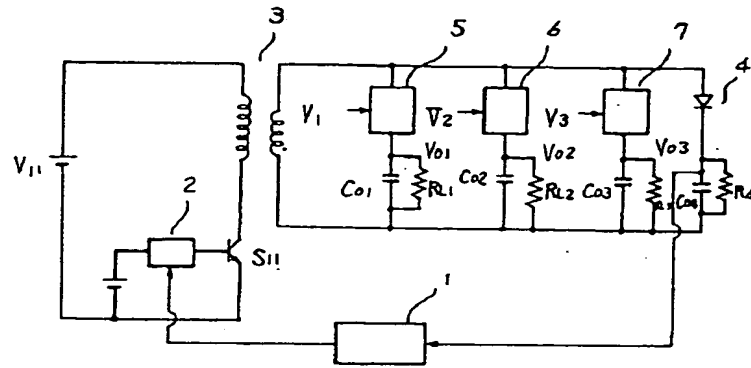
【第4图】



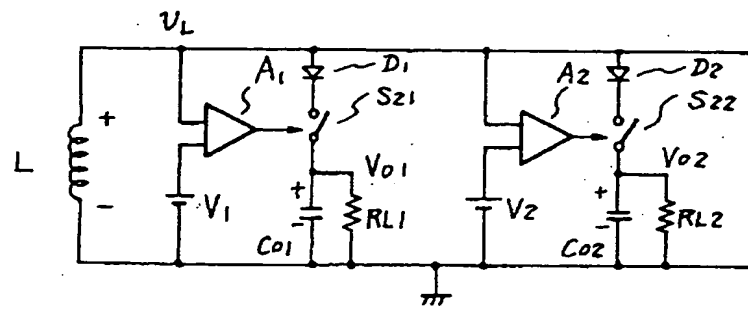
【第5图】



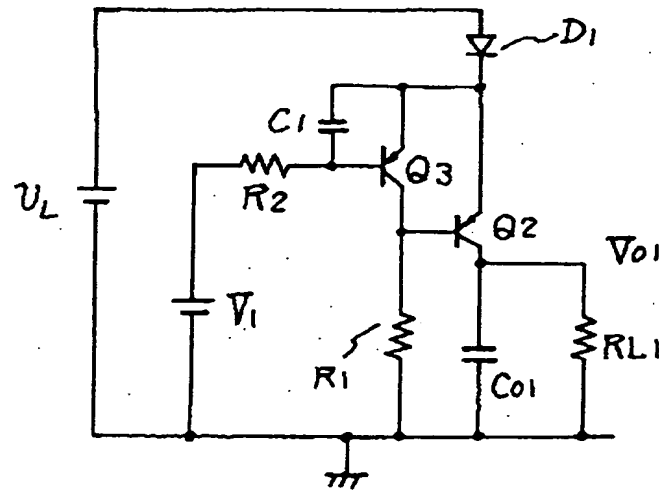
【第6图】



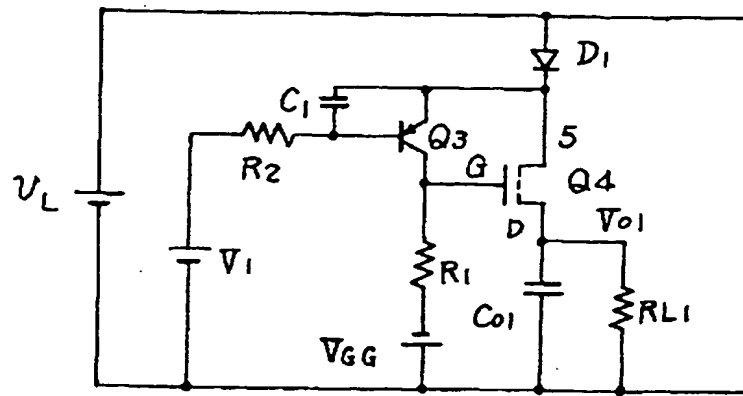
【第7図】



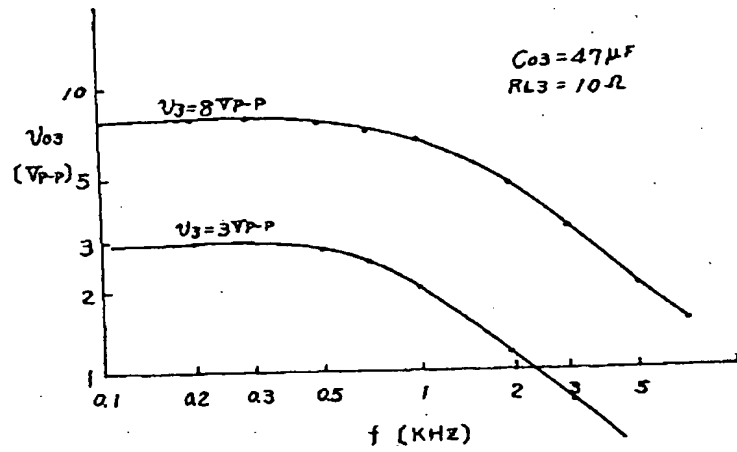
【第8図】



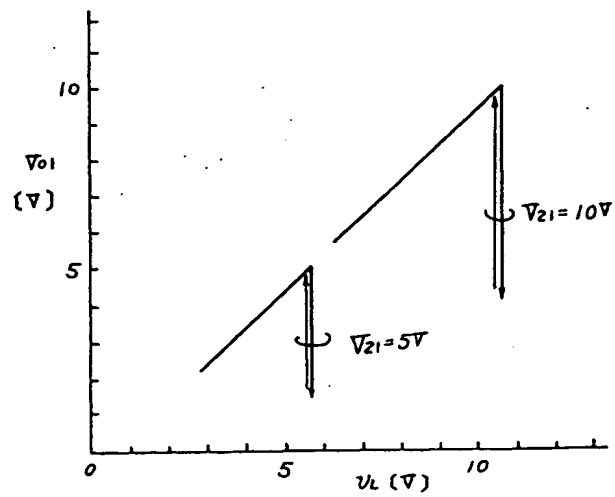
【第10図】



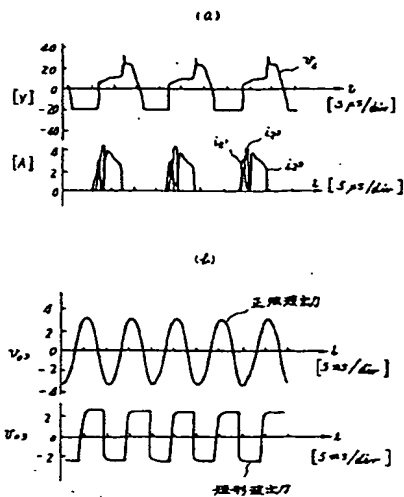
【第15図】



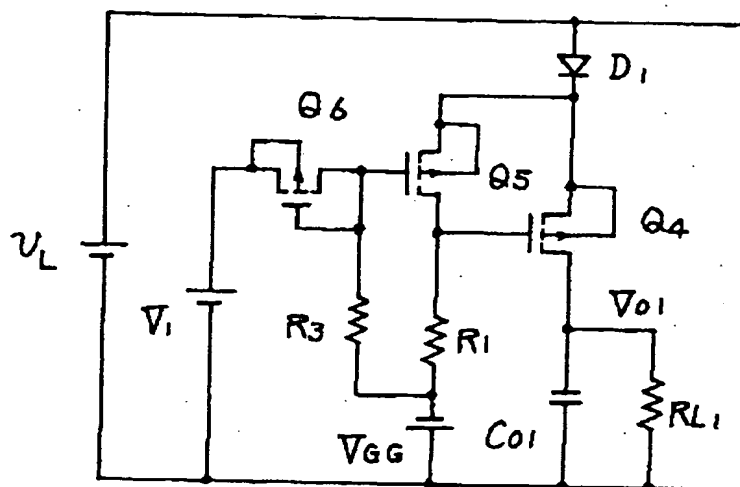
【第9図】



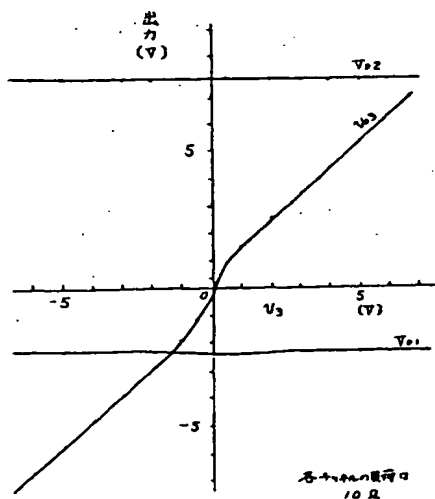
【第13図】



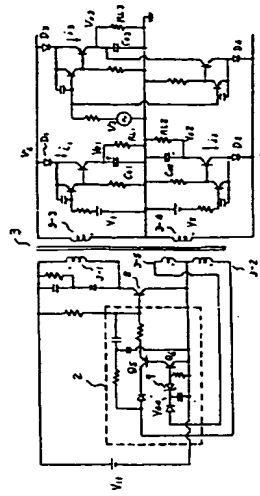
【第11图】



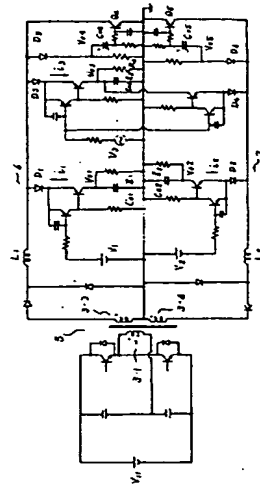
【第14图】



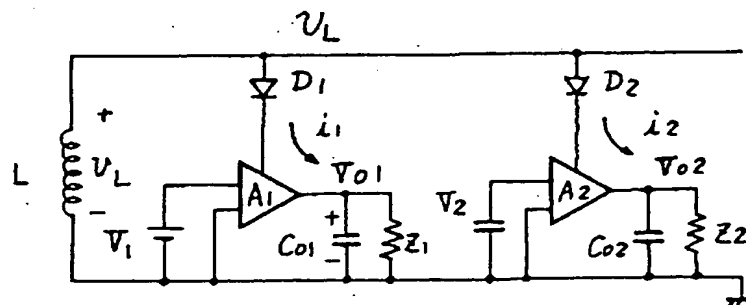
【第12图】



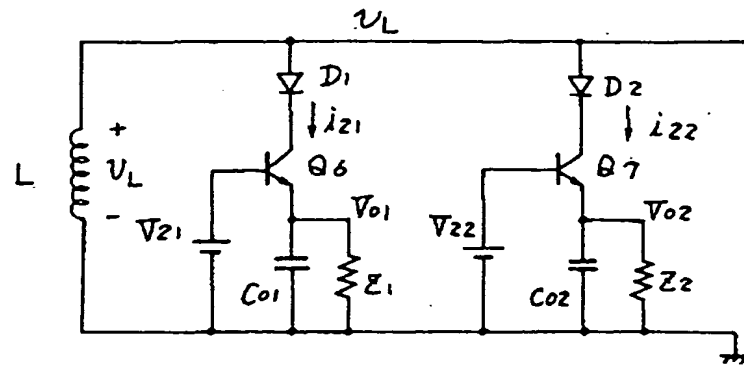
【第 16 図】



【第 17 図】



【第 18 図】



【第19図】

